

⑪ 公表特許公報 (A)

平5-509184

⑫ 公表 平成5年(1993)12月16日

⑬ Int. Cl. ⁵	識別記号	序内整理番号	審査請求未請求	部門(区分)
G 06 F 15/80 12/08 15/16	3 9 0 H T	9190-5L 7608-5B 9190-5L	予備審査請求 有	6 (3)

(全 9 頁)

⑭ 発明の名称 並列プロセッサー・アレイのための仮想処理アドレス・命令ジェネレーター

⑮ 特願 平3-510619 ⑯ 翻訳文提出日 平4(1992)11月30日
 ⑰ 出願 平3(1991)5月14日 ⑯ 国際出願 PCT/US91/03345
 ⑯ 国際公開番号 WO91/19268
 ⑯ 国際公開日 平3(1991)12月12日

優先権主張 ② 1990年5月29日 ③ 米国(US) ④ 529,947

⑤ 発明者 ジャクソン、ジェームス、エイ アメリカ合衆国 27511 ノースカロライナ州 キヤリイ、ベンウチ ツド ドライブ 119

⑥ 出願人 ウエーブトレーサー インコー アメリカ合衆国 01720 マサチューセツ州 アクトン、グレート ロード 289

⑦ 代理人 弁理士 秋元輝雄

⑧ 指定国 A T(広域特許), A U, B E(広域特許), C A, C H(広域特許), D E(広域特許), D K(広域特許), E S(広域特許), F R(広域特許), G B(広域特許), G R(広域特許), I T(広域特許), J P, L U(広域特許), N L(広域特許), S E(広域特許)

最終頁に続く

請求の範囲

1. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサー・セルを有するプロセッサー・アレイのための、プロセッサー・セル命令とそれに応答するプロセッサー・セル物理メモリーアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる並列処理システム：

前もって決められた数の物理プロセッサー・セルを有する1つのプロセッサー・アレイ：

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段：

問題ノード数を提供するための手段と前もって決められた数の物理プロセッサー・セルに応答して、この前もって決められた数の物理プロセッサー・セルの各々に伴うべき仮想プロセッサーの数を確定するための手段：

前記の前もって決められた数の物理プロセッサー・セルの各々に伴うべき仮想プロセッサーの数を確定するための手段と前記の手段に応答して、物理プロセッサー・セルの各々に伴う各仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサー・セルメモリーアドレスを確定するための手段：

1つまたは1つ以上のプロセッサー・セル命令を提供するための手段：

各オペランドを前記のプロセッサー・セルのアレイによって処理するための、1つの仮想オペランドメモリーアドレスを提供するための手段：

仮想オペランドメモリーアドレスを提供するための前記の手段と前記の仮想プロセッサーのベースメモリーアドレスに応答して、1つの対応する仮想プロセッサー・ベースメモリーアドレスで仮想オペランドメモリーアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサー・セルメモリーアドレスを生成するための手段： ならびに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサー・セル命令を提供するための前記の手段に応答して、プロセッサー・アレイの各プロセッサー・セルに流すべきアドレス再配置プロセッサー・セル命令を発生させるための対応する1つの物理プロセッサー・セル

メモリーアドレスをもった1つのプロセッサー・セル命令を生じさせるための手段

2. 請求項1のシステムにおいて、プロセッサー・セルアレイに、多次元アレイを構成するように相互接続された複数のプロセッサー・セルが含まれるもの

3. 請求項2のシステムにおいて、多次元アレイに1つの3次元アレイが含まれるもの

4. 請求項1のシステムにおいて、1つの問題次元のサイズを構成する問題ノード数を提供するための手段に、前記型プロセッサーが含まれるもの

5. 請求項1のシステムにおいて、各仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサー・セルメモリーアドレスを確定するための手段が、オペランドがそこから取られるべき原始仮想プロセッサーのベースメモリーアドレスと、オペランドがそこに記憶されるべき先仮想プロセッサーのベースメモリーアドレスを確定するもの

6. 請求項1のシステムにおいて、プロセッサー・セル命令の各々に、少なくとも1つのプロセッサー・セルアドレスセグメントと1つのプロセッサー・セルコントロールセグメントが含まれるもの

7. 請求項1のシステムにおいて、対応する1つの物理プロセッサー・セルメモリーアドレスをもった1つのプロセッサー・セル命令を生じさせるための手段が、その物理プロセッサー・セルメモリーアドレスを、1つの対応するプロセッサー・セル命令のアドレスセグメントの値に加算するもの

8. 選択された1つの問題次元に含まれるノードの数より少ない数のプロセッサー・セルを有する多次元プロセッサー・アレイのための、プロセッサー・セル命令とそれに対応するプロセッサー・セル物理メモリーアドレスを生成することを目的とした、仮想処理命令・アドレスジェネレーターを備えた、以下のものからなる多次元並列処理システム：

少なくとも1つの3次元アレイを形成するように相互接続された、前もって決められた数の物理プロセッサー・セルを有する1つのプロセッサー・アレイ：

解かれるべき1つの問題次元のサイズを構成する数の問題ノードを提供するための手段：

問題ノード数を提供するための手段と前もって決められた数の物理プロセッ

セルに応答して、この前もって決められた数の物理プロセッサーセルの各々に伴うべき仮想プロセッサーの数を確定するための手段：

前記の前もって決められた数の物理プロセッサーセルの各々に伴うべき仮想プロセッサーの数を確定するための手段に応答して、物理プロセッサーセルの各々に伴う各仮想プロセッサーのベースメモリーアドレスに対応する1つの物理プロセッサーセルメモリーアドレスを確定するための手段：

プロセッサーセル命令の各々に少なくとも1つのプロセッサーセルアドレスセグメントと1つのプロセッサーセルコントロールセグメントが含まれるような状態で、1つまたは1つ以上のプロセッサーセル命令を提供するための手段：

各オペランドを前記のプロセッサーセルのアレイによって処理するための、1つの仮想オペランドメモリーアドレスを提供するための手段：

仮想オペランドメモリーアドレスを提供するための前記の手段と前記の仮想プロセッサーのベースメモリーアドレスに応答して、1つの対応する仮想プロセッサーベースメモリーアドレスで仮想オペランドメモリーアドレスを加算し、処理されるべきオペランドの1つの物理プロセッサーセルメモリーアドレスを生成するための手段： ながらに

処理されるべきオペランドの物理アドレスを発生させるための前記の手段および1つまたは1つ以上のプロセッサーセル命令を提供するための前記の手段に応答して、多次元プロセッサーアレイの各プロセッサーセルに流すべきアドレス再配置プロセッサーセル命令を発生させるための対応する1つの物理プロセッサーセルメモリーアドレスをもった前記のプロセッサーセルアドレスセグメントを加算するための手段

名稱：

並列プロセッサーアレイのための仮想処理アドレス・命令ジェネレーター
説明の分野：

本発明はコンピューターシステム、そしてより詳細には並列処理コンピューターシステムに関するものである。

説明の背景：

電場と磁場、流体の流れ、音波、熱の流れなどの自然現象の、ある与えられた時刻における状態は、3次元的、空間的に分布するデータとして、互いに直交する3つの座標軸の方向における空間的位置が指標をもって示されるところの、1つまたは1組の数によって表現される。場合によっては、さらに第4の次元として、「時間」も考慮しなければならない。これまで科学者やその他のコンピューター・ユーザーは、ボラソン方程式やマクスウェル方程式など、空間的に分布するデータにかかる偏微分方程式を解こうとする場合に、十分なデータ処理能力を享受することができなかつた。これは、従来技術によるプロセッサーシステムとプロセッサーアレイが、2次元構成に限定されていたことによるものである。

純粋に1次元アレイまたは2次元アレイを用いて行う、3次元方程式を解くための従来技術による試みは、プロセッサーではなくメモリーに記憶させなければならない空間データの、第2または第3の次元への指標またはアドレスポインターを計算するために、大量の「プロセッサー・オーバーヘッド」を必要とする処理システムを生み出した。たとえば伝統的なシングルプロセッサー型コンピューターの場合、X次元とY次元の指標を計算するには、最大で3回の乗算と2回の加算を実行しなければならない。2次元コンピューターを使った場合には、X軸とY軸は直接にアクセスできるが、Zポインターはやはり計算しなければならず、そしてこの計算のために依然として最大で1回の乗算と加算が必要である。

3次元データを従来技術によって取り扱おうとする場合には、このほか、米国特許No. 4,814,973で開示されているような相互結合配列もまた用

いられる。この特許では、3次元プロセッサーアレイの運動に似せてプロセッサーセル間でデータの切り替えを行うよう、ルーターに命令を与えることができるようになっている。しかしながらルーターは、データを各種プロセッサーの間で移動させるために、多量のプロセッサー・オーバーヘッドを必要とする。またこれに加えて、スイッチング機能を遂行するための支援制御回路も必要である。システムスループットまたは帯幅は、ルーター・オーバーヘッドによってかなり損なわれ、またシステムのコストと信頼性も、ルーターと支援制御回路を含めなければならぬために、やはり大きく損なわれる。

さらにまた、並列処理問題の多くは、プロセッサー・アレイの利用可能なプロセッサーセル数を上回る数の問題ノードを必要とする。こうした状況においては、ある与えられたプロセッサー・アレイに問題空間を合致させるための調整を、応用プログラマーに行わせることは回避するのが望ましい。むしろ応用プログラマーは、プロセッサー・アレイのサイズの束縛から切り離し、問題空間のサイズのみを指定すればよいという状況にすべきである。さらにまた、プロセッサー・アレイのサイズが異なる各種のプロセッサーシステム間での共用性を確保するために、プロセッサー・アレイがどのようなサイズのものであっても、並列処理プログラムをランセラルが可能でなければならぬ。

発明の要約：

本発明は、問題空間のノード数より少ない数のプロセッサーセルを有しているにも差し支えない多次元プロセッサー・アレイなどの並列処理アレイに、プロセッサー命令を生成するための、仮想処理アドレス・命令ジェネレーターを含む並列処理システムを提供するものである。

好みの1つの実施例においては、上記処理システムは各プロセッサーセルのメモリーをいくつかの守密な部分に分割し、そしてこの分割された夫々に1つの問題空間を対応させる。つぎに命令ジェネレーターは、与えられた問題空間の各部分空間に対して1続きのプロセッサーセル命令を生じさせ、そしてこの命令シーケンスのそれぞれについて、該当するアドレス変更がアドレスジェネレーターによって与えられる。このような仕組みにより、該並列処理アレイは、プロセッサー・アレイに存在するプロセッサーセル数より多い数の問題ノードを有する問

題を、メモリースワッピング無しで解くことができる。

図面の説明：

上記ならびに上記以外の本発明の特徴は、以下に述べる説明を添付図面を参照しつつ読み通すことにより、一層よく理解されるであろう。添付図面において、

図1は、本発明にもとづく、コントロールプロセッサーと仮想処理アドレス・命令ジェネレーターを有する多次元並列処理システムとプロセッサー・アレイの概要を示す。

図2は、本発明にもとづくアドレス・命令ジェネレーターの一層詳細なブロック図である。

図3は、図1に示すコントロールプロセッサーの一層詳細なブロック図である。

図4は、図2に示すオペランドアドレスジェネレーターの一層詳細なブロック図である。

図5は、本発明にもとづくマイクロコードメモリーアドレスジェネレーターと即時オペランドビットエクストラクターの一層詳細なブロック図である。

図6は、本発明にもとづく仮想処理アドレス・命令ジェネレーターのタイミング図である。

図7Aと図7Bは、物理・仮想プロセッサーセルメモリーの分割を示す。

図8は、図2に示すアドレス再配置回路の一部分をなすアドレス再配置コントロールレジスターのブロック図である。

図9と図10は、図2に示すアドレス再配置回路の追加回路にかかる該略図である。

図11Aと図11Bは、プロセッサー間通信命令の1例を示す。また、

図12は、図2に示すナノ命令・テンプレートジェネレーター回路の一層詳細なブロック図である。

発明の詳細な説明：

図1は、複数のプロセッサーセルを有する、本発明にもとづく多次元プロセッサーシステム100を示す。該プロセッサーシステムには、小型コンピューターシステムインターフェース(SCSI) 106などのインターフェースによつ

特表平5-509184 (3)

てプロセッサーコントローラ104に接続されてコマンドブリプロセッサーとして機能するところの、適切な前置型プロセッサー102が含まれる。好みしい実施例においては、この前置型プロセッサー102として、Unix™オペレーティングシステムの制御のもとに動作する通常のコンピューターを用いる。かかる前置型プロセッサーの一例は、Sun Microsystems社から入手することが可能なSunワークステーションである。前置型プロセッサー102には、通常のCコンパイラと、C言語への並列処理拡張体を用いて書き込みがなされたプログラムをシステムがコンパイルし実行することを可能にする、前記Cコンパイラのためのプリプロセッサーが含まれる。

プロセッサーコントローラ104は、前置型プロセッサー102とプロセッサーアレイ108の中間処理機能を提供する。このプロセッサーコントローラ104には、コントロールプロセッサープログラムメモリー112に記憶されたコントロールプロセッサープログラムの制御のもとに動作するコントロールプロセッサー110が含まれる。このような並列処理システムの一例は、いずれも本明細書で引用しているところの、同時継続米特許No. 07/530,027(名称“MULTI-DIMENSIONAL PROCESSOR SYSTEM AND PROCESSOR ARRAY WITH MASSIVELY PARALLEL INPUT/OUTPUT”)および同No. 07/529,962(名称“DIMENSIONALLY RECONFIGURABLE MULTI-DIMENSIONAL PROCESSOR ARRAY”)に開示されているとおりである。

前置型プロセッサー102はコントロールプロセッサー110と連絡し、選択されたコマンドに応答して該コントロールプロセッサーにコマンドを送り、かつまた該コントロールプロセッサーからのデータを読み取る。通常、各々のコマンドは、余数や乗数などのワード・オリエンティッド型の単項演算または2項演算を記述する。コントロールプロセッサー110はかかるコマンドを同定し、そしてそれらをマクロ命令と呼ばれる1統きのワード・オリエンティッド型のコマンドとしてリフォーマットする。マクロ命令はアドレス・命令ジェネレーターに転送される。そしてこのアドレス・命令ジェネレーターは、シリアルライザー内に配置

されたレジスターを初期設定することにより、シリアルライザー120と命名したものになる。シリアルライザー120はマイクロドード122の制御のもとで動作し、そして各々のワード・オリエンティッド型マクロ命令を、ナノ命令と呼ばれる1統きのビット・オリエンティッド型コマンドに変換する。このビット・オリエンティッド型コマンドは、それぞれ、メモリー・アドレスビットとコントロールビットからなるプロセッサー・セル命令である。該シリアルライザーは、該シリアルライザーが生成させるナノ命令の各シーケンスを、プロセッサー・アレイ108の全てのプロセッサーに伝送する。ナノ命令メモリー124には、シリアルライザー120がそれにアクセスしてプロセッサー・アレイのためのナノ命令を形成するところの、ナノ命令テンプレートの表が含まれる。

コントロールプロセッサー110はシリアルライザー120との間で直接的にデータの受渡しを行うが、一方、両方向エッジ FIFO126を経由してプロセッサー・アレイ108との間でもデータの受渡しを行う。同様にして、前置型プロセッサー102との間の通信は小型コンピューターシステムインターフェース(SCSI)106を介してなされる。コントロールプロセッサー110はプロセッサー・アレイ108を初期設定するためのコマンドを受け取り、そしてプロセッサー・アレイ、前置型プロセッサー、ならびに、標準およびオプションのスワッピングRAMやオプションのI/Oデバイスなどの周辺装置間の入出力転送を制御する。

シリアルライザー120は、図2のブロック・ダイアグラムに一層詳細に示すとおりである。図においてシリアルライザーはその入力信号をコントロールプロセッサー110から受け取り、また、コントロールプロセッサー110はその入力信号を前置型プロセッサー102から受け取る。

前置型プロセッサー102は、問題空間次元150ならびに追加的な初期設定情報をコントロールプロセッサー110へ伝送することにより、システムを初期設定する。コントロールプロセッサー110は、シリアルライザー120内にレジスターをロードして、各プロセッサー・セルにともなう問題ノードの写像156をシリアルライザーに記述することにより、この情報に応答する。アドレス再配囲路162は写像156を受け取り、そして、前置型プロセッサー102からの

後続の情報を処理する間に、それを用いて、仮想アドレスベース164と追隔アドレスベース165の値を生成させる。

つぎに前置型プロセッサー102は、コントロールプロセッサー110にコマンドを送ってシステムを制御し始める。このコマンドは操作符号154とオペラントデータ152からなる。オペラントビット・アドレスジェネレーター168は、オペラントアドレスデータ158をコントロールプロセッサー110から受け取り、そしてプロセッサー・アレイによって処理されるべきオペラントビットの仮想アドレスを、信号経路170を通じてナノ命令ジェネレーター166に提供する。ナノ命令ジェネレーター166の集計回路172は、仮想アドレス170の各々を、各プロセッサー・セルにおいて現在のオペラントビットについて遂行されつつある操作に応じて、仮想アドレスベース164または追隔アドレスベース165のいずれかで加算し、処理されるべきオペラントビットのプロセッサー・セルメモリー物理アドレス174を形成する。

コントロールプロセッサーはまた、操作符号154とオペラントデータ152を復号してマイクロプログラム制御信号160を生成させ、そしてそれをマイクロプログラム・コントロールユニット176へ送る。マイクロプログラム・コントロールユニット176は、これらの信号に応答してナノ命令テーブルアドレス178を発生し、そしてそれを用いてナノ命令メモリー124をアドレスし、ナノ命令テンプレート180を得、ついでそれをナノ命令ジェネレーター166へ送る。マイクロプログラム・コントロールユニット176はまた、オペラントビットのアドレスジェネレーター168、アドレス再配囲路162、およびナノ命令ジェネレーター166を、それ自身の操作と同期させるための制御情報を生成する。ナノ命令ジェネレーター166は、仮想アドレスベース164または追隔アドレスベース165と仮想アドレス170の和としてそれが形成する各々の物理アドレス174を、対応するナノ命令テンプレート180のアドレスビットと加算し、それぞれのナノ命令182を生成する。それぞれのナノ命令182は、各プロセッサー・セルのメモリーにおける1つのビットの物理アドレスと、各プロセッサー・セルのそのビットについて遂行されるべき操作を記述する制御ビット、の両方を含む。ナノ命令ジェネレーター166は、それが生成せる各々の

ナノ命令182を、アレイの全てのプロセッサー・セルへ流す。

前置型プロセッサー102は、ワード・オリエンティッド型コマンドをコントロールプロセッサーへ送ることによって、コントロールプロセッサー110と連絡する。コントロールプロセッサー110はかかるコマンドを同定し、そしてそれらを1統きのマクロ命令としてリフォーマットする。かかるコントロールプロセッサー110の一例は、図3のブロック・ダイアグラムに一層詳細に示すとおりであるが、マイクロプロセッサー180がこれに含まれる。このマイクロプロセッサー180はADM-29000プロセッサーであって、コントロールプロセッサー・プログラムPROMとRAM112の制御のもとに動作する。コントロールプロセッサーのデータRAM114は、一時的データとプロセッサー変数情報をマイクロプロセッサー180に提供する。

ある与えられたユーザー・プログラムを、変更せずに各種サイズのプロセッサー・アレイのランに使えるようにするために、応用プログラマーは、仮想処理のためのメモリーの割り付けを要求されなければならない。それゆえ、実際、応用プログラムは、ある与えられたプロセッサー・アレイにおける物理プロセッサー・セル数の束縛から切り離される。そのかわりに、応用プログラムは単に、希望する問題空間のX、YおよびZ次元のみを確定する。つぎにコントロールプロセッサーは、プロセッサー・アレイのサイズを測定し、そして問題空間の与えられた次元とプロセッサー・アレイの各エッジに沿ってのプロセッサーの数から、各物理プロセッサーに割り振られるべき1組の仮想プロセッサーを計算する。この1組の仮想プロセッサーを、物理プロセッサー・セルの領域と称する。これらの領域次元は、好みしい実施例におけるように多次元であっても差し支えなく、次によって得られる。

$X_s = X/s_{xx}, Y_s = Y/s_{yy}, Z_s = Z/s_{zz}$
ここに X_{xx}, Y_{yy}, Z_{zz} は各物理プロセッサー・セルの領域の次元。 X_s, Y_s および Z_s は問題空間の次元、また s_{xx}, s_{yy}, s_{zz} は物理プロセッサーにおけるアレイの次元である。

シリアルライザーは、それがコントロールプロセッサーから入手することが可能な未処理の入力を有するときは、それぞれのナノ命令サイクルに1回だけ、ブ

特表平5-509184 (4)

ロセッサーアレイの各プロセッサーセルに、有用なナノ命令を流すべきである。シリアルライザーは、プロセッサーントローラーから受け取った各マクロ命令に対して1つのナノ命令シーケンスを生成するだけでなく、また、必要に応じて各ナノ命令についてアドレスを変更したうえで、既にそれぞれの物理プロセッサーセルにマッピングされている各仮想プロセッサーについてそのナノ命令シーケンスを反復しなければならない。アドレス・命令ジェネレーターはまた、2つの仮想プロセッサーが相互に通信し合わなければならないときは、複数の物理プロセッサーセルが関与する場合があることも考慮しなければならない。

したがって、コントロールプロセッサーから受け取るある与えられたマクロ命令に対応する各ナノ命令シーケンスを生成させるためには、本発明のアドレス・命令ジェネレーターは、それが生成させる各ナノ命令に含めるためのオペランドの物理アドレスを計算し、また、つぎのサイクルでのマイクロコード命令を実行するか、したがってまた、どのナノ命令を生成させるかを決定するための条件を評価しなければならない。つぎにシリアルライザーは、ある1つの物理プロセッサーセルの領域にあるそれぞれの仮想プロセッサーについて、該当する変更を施したうえで、それが生成させる各ナノ命令シーケンスを反復しなければならない。

本発明のアドレス・命令ジェネレーター120は、dオペランドの場合について図4に示すよろ、5つのオペランドアドレスジェネレーターを有している。マクロ命令オペランドd_i、eおよびfに対しては3つのアドレスユニットがあり、一方、一時的変数_iおよび_jに対しては2つのアドレスユニットがある。それぞれのオペランドアドレスジェネレーター168には、2つの16ビット・ハイアドレスレジスター181と182、2つの16ビット・ロードレスレジスター183と184、および2つの1ビット初期設定フラグレジスター185と186が含まれる。これらのレジスターのうちの第1のレジスターはコントロールプロセッサーにより直接にロードされる。一方、第2のレジスターはシリアルライザーにより第1のレジスターからロードされ、これによりシリアルライザーは、コントロールプロセッサーが新たなマクロ命令を提供しているあいだに、1つのマクロ命令を処理することができる。このほかに、3つのカウンターをなわち

16ビット・ハイアドレスカウンター187、16ビット位置アドレスカウンタ-188、および16ビット・ロードレスカウンター189が含まれる。

ハイアドレスレジスター181と182のそれぞれは、カウンター186と同じく、ある1つのオペランドの最上位ビット(MSB)の仮想アドレスを含み、一方、ロードレスレジスター183と184のそれぞれは、カウンター189と同じく、対応するオペランドの最下位ビット LSB)の仮想アドレスを保持する。初期設定フラグ185と186は、それぞれ、当初にハイアドレスレジスターの内容がロードされるべき各ビット位置アドレスカウンター188に対して設定され、あるいは、当初そのビット位置アドレスカウンターにロードカウンターの内容がロードされるべきであれば、クリアされる。ラン信号191はシリアルライザーがマイクロコードを実行しているときに設定され、そしてd-dh信号190は、dカウンター188をdトカウンター187からロードするマイクロ命令を実行しているときに設定される。

図4に示す5つのシリアルライザーアドレスユニットのレジスターとカウンタ-に加えて、シリアルライザーは、図5のレジスター202を経由してコントロールプロセッサーから情報を受け取る。マイクロプログラムアドレスレジスター203と204、およびマイクロプログラムアドレスカウンター206は、各シリアルライザーサイクルの終端でロードされる。メモリーレジスター206はシリアルライザーがマイクロコードの実行を開始するときにレジスター204からロードされ、そしてシリアルライザーがランしているあいだは、マイクロプログラムによって生成せられるプランチアドレスからロードされる。各シリアルライザーサイクルの終端でシリアルライザーがマイクロプログラムメモリーアドレスレジスター206をロードするときは、シリアルライザーはまた、アドレスレジスター206にロードされつつあるアドレスで、図1のコントロールプロセッサーデータメモリー114からデータワードを読み取る。このデータは、それぞれ64ビットワードの前置オペランドレジスターF0およびF1(それぞれ210および212)に読み込まれる。fオペランドアドレスユニットからのfビットアドレスカウンターのローダー6ビット214は、64:1マルチブレッカ216を経由して、前置並列変数の現行ビット216となるように、F1レジスターに1

つのビットを選択する。

オペランドアドレスユニット168のタイミングは図6に示す通りである。ここにnは、各物理プロセッサーセルの領域内における仮想プロセッサーの数である。シリアルライザーはコントロールプロセッサーから受け取るそれぞれのマクロ命令に対して該当するマイクロコードを1回実行し、それぞれの仮想プロセッサーについて1つづバスを行う。符号192などで示した縦線はサイクル間に選んだ境界であって、この時点でシリアルライザーのレジスターとカウンターにデータをロードすることができる、すなわちインクレメントが可能である。バス193などの各仮想プロセッサーバスには1クロックサイクル194が先行し、そしてこのクロックサイクルの間にシリアルライザーは1つのデフォルト・ナノ命令を発生させ、そして次のバスのためのワーキングレジスターとカウンターを初期設定する。

コントロールプロセッサーは、オペランドアドレスユニットのシリアルライザーレジスターの第1セットd_h0、d₁₀およびd_f0に、シリアルライザーがマクロ命令i-1(196)のため最初の仮想プロセッサーバス195を開始した時点から同じくシリアルライザーがマクロ命令i-1のため最後のバスを終了する1クロックサイクル前の時点(197)までの間に、マクロ命令iのための該当する値をロードする。シリアルライザーは、それが時点198で示すマクロ命令i-1の最後の仮想プロセッサーバスを終了するときに、これらの値を、バイブルインレジスターの第2のセットd_h1、d₁₁およびd_f1に複写する。ついでシリアルライザーは、マクロ命令iのための各仮想プロセッサーバスに先行する各サイクル199の終端において、ハイアドレスレジスターとロードレスレジスター(d_h1とd₁₁)から、3つのカウンター-d_h1、d₁、およびd_f1をロードする。各仮想プロセッサーバスの残りのサイクルの間、シリアルライザーは、マクロ命令のための選択されたマイクロコードシーケンスを実行しつつマイクロコードの指令に従って各仮想プロセッサーのためのアドレスカウンターを修正することにより、マクロ命令iのためのナノ命令シーケンスを発生させる。

バス193などの各仮想プロセッサーバスは、複数のサイクル200からなる。またシリアルライザーは、各サイクルのあいだに1つの有効ナノ命令を発生さ

せるように設計される。

シリアルライザーは、各シリアルライザクロックサイクル199の終端で、各オペランドアドレスユニットの3つのカウンター187~189の内容を、インクレメントならびにディクレメントすることができます。ビット位置アドレスカウンター188などのカウンターをインクレメントならびにディクレメントする能力は、1つのオペランドのすべてのビット位置を順々にアドレスするために必要なである。コントロールプロセッサーから受け取ったマクロ命令の結果として実行されるシリアルライザマイクロコードは、カウンターがインクレメントされるべきかディクレメントされるべきかを指令する。

各物理プロセッサーのメモリーは、図7Aのメモリーマップ220に示すように区分される。このメモリーマップには、プロセッサーアレイ内の物理プロセッサー位置を記述するフラグを有する物理フラグ・セグメント222と、一時メモリー記憶領域224が含まれる。残りのメモリーは、長さがそれぞれVビットのX、Y、Z、個の新しい仮想プロセッサーメモリ領域226に区分される。

それぞれの物理プロセッサーは、各マクロ命令を、その領域にある各仮想プロセッサーごとに1回づつ、全部でX、Y、Z回実行しなければならない。図7Bのメモリーマップ230は、長さVビットの、1つの仮想プロセッサーメモリー226のメモリーマッピングを示す。マクロ命令間の、与えられたある1つの仮想プロセッサー226の状態は、全ての変数232の値、そのヒープ234とスタック236の状態、およびそのsフラグ238の値によって記述される。ナノ命令間の仮想プロセッサーの状態にはまた、マクロ命令を完成するのに必要な図7Aの一時記憶領域224の値と、物理プロセッサーの各レジスターの状態が含まれる。

1つの仮想処理空間を設定するために、コントロールプロセッサーは、図8の4つのプロセッサーx0、y0、s0およびz0(240~246)を以下のようにロードする。ただし、Vは1仮想プロセッサーのメモリーサイズである。

x0=X、Y、Z、V

y0=Y、Z、V

z0=Z、V

特表平5-509184 (5)

$s = 0 = V$
プロセッサー内での 1 つのプロセッサーセルから別のプロセッサーセルへのデータの移動は、以下の構文に従って記述される。

$$a = [\Delta x : \Delta y : \Delta z] b$$

ただし、" a " は先駆プロセッサーセルのメモリー内の 1 つの場所であり、また " b " は原始プロセッサーセル内の 1 つの場所である。原始プロセッサーセルは、先駆プロセッサーセルと対して座標 Δx 、 Δy 、および Δz だけ離れた場所にある。

複数の仮想プロセッサーとの間でデータの移動をおこなうマクロ命令を処理するに先立ち、コントロールプロセッサーは、3 つのレジスター $d_x = 0$ 、 $d_y = 0$ および $d_z = 0$ (248 ~ 252) を以下のようにロードする。

$$\begin{aligned} d_x = & (\Delta x - X, |\Delta x|/X, 1) Y, Z, V \\ d_y = & (\Delta y - Y, |\Delta y|/Y, 1) Z, V \\ d_z = & (\Delta z - Z, |\Delta z|/Z, 1) V \end{aligned}$$

ここに Δx 、 Δy 、および Δz は、演算 $a = [\Delta x : \Delta y : \Delta z] b$ で示されるような、先駆仮想プロセッサーを基準にしたときの、原始仮想プロセッサーに対する符号付き仮想プロセッサー座標である。表示 $d_x = 0$ 、 $d_y = 0$ 、および $d_z = 0$ は、距離 d_x 、 d_y 、および d_z を該当する領域次元 X 、 Y 、 Z 、および V 、でそれぞれ除したときの残余をあらわす。

図 2 のアドレス再配置回路 162 には再配置ベースジェネレーション回路が含まれ、そしてこの再配置ベースジェネレーション回路は仮想ベースジェネレーション回路と遠隔ベースジェネレーション回路からなる。図 9 の仮想ベースジェネレーション回路 260 には 3 つのモジューロアッダ - 262、264 および 266 が含まれる。第 1 のモジューロカウンター - 262 へのインクリメント入力 268 は、仮想プロセッサーのメモリーサイズ V を含むように前に定義した $s = 0$ レジスターの値である。各モジューロカウンターは、そのインクリメント入力およびリミット入力が各物理プロセッサーセルの領域次元 X 、 Y 、および Z の開数として設定されるように、ステージされる。結果として得られる出力 X 、 Y および Z (270 ~ 274) は、アッダ - 276 によって加算され仮想ペー

ス信号 278 が得られ、そしてそのあと、この仮想ベース信号は仮想アドレスに加算されて、アレイの全てのプロセッサーセルに物理アドレスを生成させる。

図 10 の遠隔ベースジェネレーション回路 280 には 3 つのモジューロアッダ - 282、284 および 286 が含まれ、そしてこれらが 1 つづく、座標 X 、 Y および Z に対応する。これらのモジューロアッダはそれぞれ、総和出力とオーバーフロー出力を生成させる。総和出力は次のいずれかに等しい。(a) ベース + インクリメント $< \text{リミット}$ ならば、ベース + インクリメント (b) ベース + インクリメント $\geq \text{リミット}$ ならば、ベース + インクリメント - リミット。オーバーフロー信号は、ベース + インクリメント $\geq \text{リミット}$ ならば正規出力に等しく、ベース + インクリメント $< \text{リミット}$ ならばこの入力信号の補数に等しい。

インターパロセッサー通信マクロ命令を実現するマイクロコードは、データを X 、 Y および Z 方向に移動させる物理プロセッサーの数をカウントするために、それぞれ F 、 T および R を使用する。各座標でデータを移動させなければならない物理プロセッサーの数を記述するため、シリアルライザは、 F 、 T および R オペランドについてオペランドアドレスユニットを以下のように初期設定する。

$$f_{10} = \begin{cases} 0, \Delta x < 0 \\ 1, \Delta x \geq 0 \end{cases}$$

$$t_{10} = \begin{cases} 0, \Delta y < 0 \\ 1, \Delta y \geq 0 \end{cases}$$

$$u_{10} = \begin{cases} 0, \Delta z < 0 \\ 1, \Delta z \geq 0 \end{cases}$$

$$f_{10} = t_{10} = u_{10} = 1$$

$$f_{10} = \begin{cases} (-1 - \Delta x) / X, 1, \Delta x < 0 \\ \Delta x / X, 1, \Delta x \geq 0 \end{cases}$$

$$t_{10} = \begin{cases} (-1 - \Delta y) / Y, 1, \Delta y < 0 \\ \Delta y / Y, 1, \Delta y \geq 0 \end{cases}$$

$$u_{10} = \begin{cases} (-1 - \Delta z) / Z, 1, \Delta z < 0 \\ \Delta z / Z, 1, \Delta z \geq 0 \end{cases}$$

それぞれのオペランドアドレスレジスターの各々のハイアドレスカウンターは、その座標のモジューロアッダがオーバーフローしないときはいつでも、対応する座標の物理アレイを通してデータを移動させねばならない距離を記述するように設定する。関係する座標のためのモジューロアッダがオーバーフローしないときはいつでも、データは、もう 1 つの物理プロセッサーを通して移動する。データを正座標の方向に移動させる場合には、それぞれのアドレスユニットのビット位置アドレスカウンターは、ハイアドレスカウンターに初期設定し、そしてロードアドレスカウンターにカウントダウンする。一方、データを負座標の方向に移動させる場合には、ビットアドレスカウンターは、ロードアドレスカウンターに初期設定し、そしてハイアドレスカウンターにカウントアップする。出力信号 $x + d_x$ 、 $y + d_y$ 、および $z + d_z$ (288 ~ 292) は、アッダ - 294 によって加算され、遠隔ベース信号 206 を生ずる。

各仮想処理バスの開始点において、図 2 のマイクロプログラム・コントローラユニット 178 は、オーバーフロー・ビット x_0 、 y_0 および z_0 を、それぞれ、 F 、 T および R アドレスユニットのハイビット位置アドレスカウンター 187 (図 4) に加算する。さらにまた、データを正の方向に移動させるべき各座標について、対応するオーバーフロー・ビット x_0 、 y_0 および z_0 は図 4 の対応する位置アドレスカウンター 188 にも加算される。このようにして、 F 、 T および R アドレスユニットの各々は、それぞれの仮想処理バスのあいだの物理プロセッサーセルの移動数をカウントするように、正しく初期設定される。

例として、領域次元 4、1、1 を有する物理プロセッサー 300 ~ 306 のための、 $a = [-1, 0, 0]$ b の形の、プロセッサー間通信演算を図 11A および図 11B に示す。仮想処理を開始させた結果として、コントロールプロセッサーは、各物理プロセッサーの領域次元を設定するため、以下に示すように s

0 、 y_0 および z_0 をすでにロードしている。ただし、 V は各仮想プロセッサーに割り付けられたメモリーピットの数である。

$$\begin{aligned} x_0 &= 4V \\ y_0 &= V \\ z_0 &= V \\ s_0 &= V \end{aligned}$$

この例の場合には、 $\Delta x = -1$ 、 $\Delta y = 0$ 、および $\Delta z = 0$ である。

図 1B の表は、各仮想プロセッサーにおけるこの演算のための、キーレジスターと信号の値を示す。バス 1 のあいだ、仮想ベースコンバーラー回路の x レジスターはクリアされており、したがって 0 の仮想ベースを生成する。遠隔ベースジェネレーション回路のモジューロアッダ回路は、オーバーフロー信号 x_0 を発生し、したがって f および t_h のレジスターに 1 が加算され、これにより原始物理プロセッサー (たとえば 300) が先駆物理プロセッサー (たとえば 306) から 3 プロセッサーだけ離れていることが示される。遠隔ベース (これは原始オペランドを再位置する) は V である、一方、仮想ベース (これは先駆オペランドを再位置する) は 0 である。これは、物理プロセッサー 300 の領域内にある仮想プロセッサー 308 から、物理プロセッサー 306 の領域内にある仮想プロセッサー 310 へのデータ移動に対応する。第 2 の仮想処理バスのあいだに、 x レジスターは 0 から V へインクリメントされ、原始または遠隔ベース 0、ならびに先駆または仮想ベース V をもたらす。第 4 のバスではオーバーフロー・ビット x_0 は 0 になり、このため f および t_h のレジスターは、バスの開始点でインクリメントされない。つぎにデータは、2 つの物理プロセッサーのみを通って、物理プロセッサー 302 から物理プロセッサー 306 へ、そしてまた物理プロセッサー 300 から物理プロセッサー 304 へ移動する。

図 2 のナノ命令ジェネレーション回路 166 の詳細を図 12 に示す。この回路は、5 つのビット位置カウンター 320 ~ 328、仮想ベース 278、遠隔ベース 296、およびナノ命令メモリー 124 に記憶されたナノ命令の表の数値から、ナノ命令を発生させる。マイクロプログラムの制御のもとで、マクロ命令レジスター 330 にナノ命令インデックスビット 332 がロードされ、そしてこれ

らのナノ命令インデックスビットが、ナノ命令メモリー124内の該当するナノ命令テンプレートを指定する1つのナノ命令アドレス334を発生させる。マルチブレクサー336は、信号338の制御のもとに、0、遠隔ベース296または仮想ベース278がアッダー342によって選択されたビットオペランドアドレス信号340に加算されるべきか否かを指令する。この結果としてアッダー342から得られる出力信号344は、オペランドデータの物理アドレスである。この物理アドレスはアッダー346によってナノ命令に加算され、ナノ命令レジスター348に記憶され、そして次のシリアルライザーサイクルの開始時にプロセッサー陣列の各プロセッサーセルに流される。

通常の技術的な熟達をもってなじうる本発明に対する変更および置換は、本発明ならびに以下添付する請求項の範囲内のものであると考える。

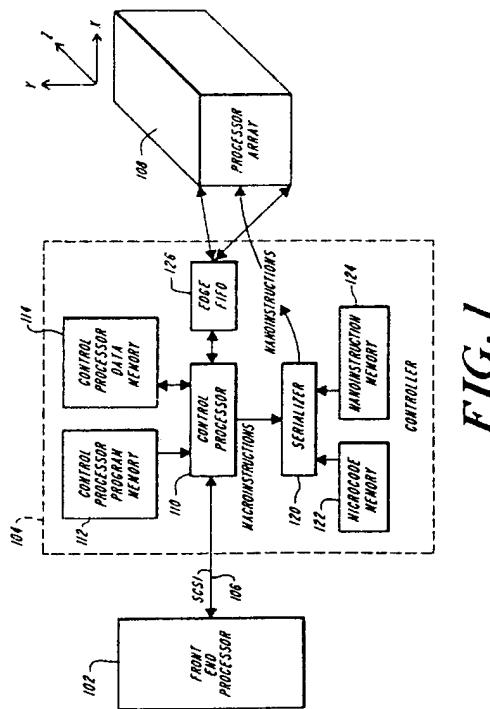


FIG. 1

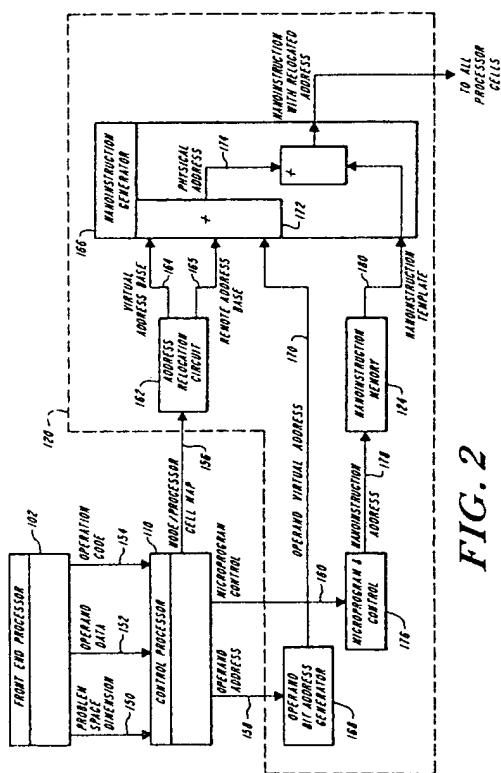


FIG. 2

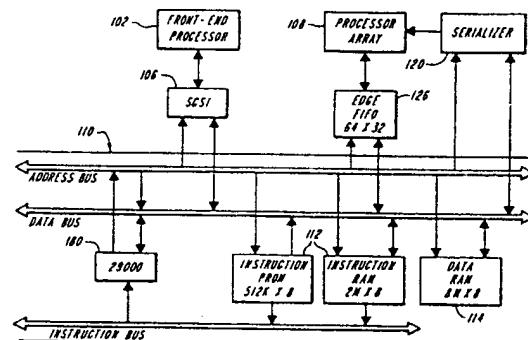


FIG. 3

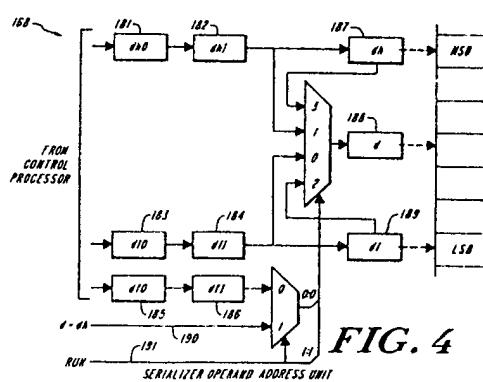


FIG. 4

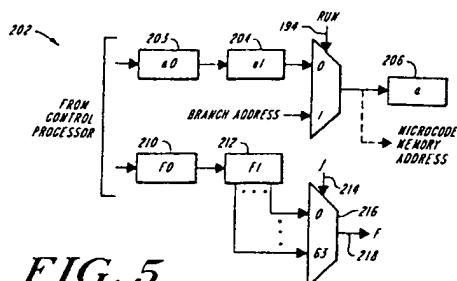
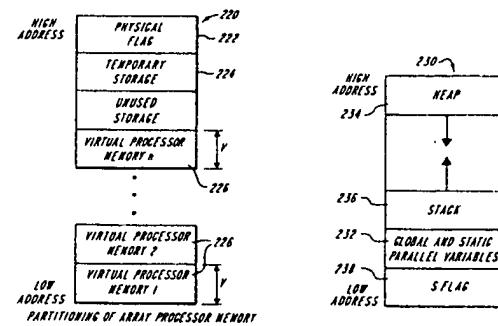
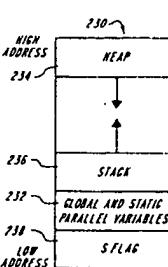


FIG. 5



PARTITIONING OF ARRAY PROCESSOR MEMORY



PARTITIONING OF ARRAY PROCESSOR MEMORY

FIG. 7A

FIG. 7B

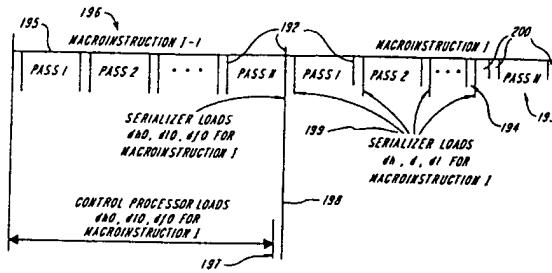


FIG. 6

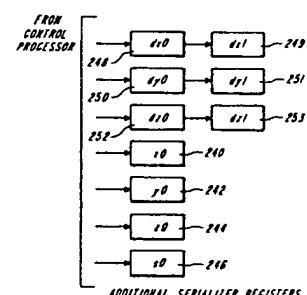


FIG. 8

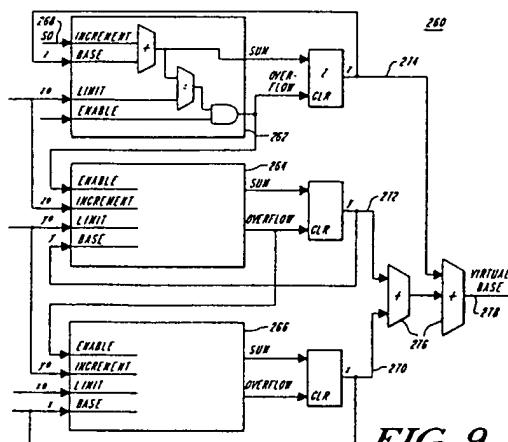


FIG. 9

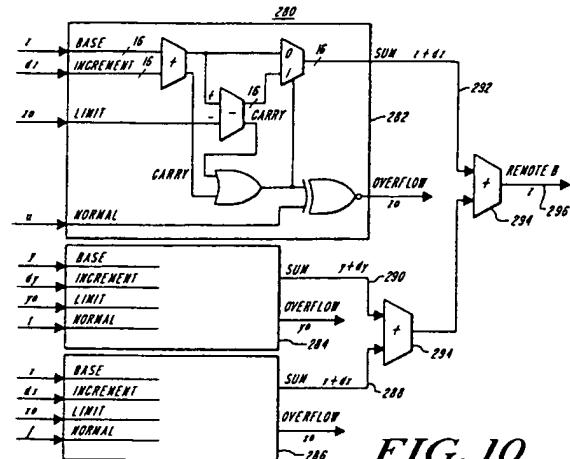


FIG. 10

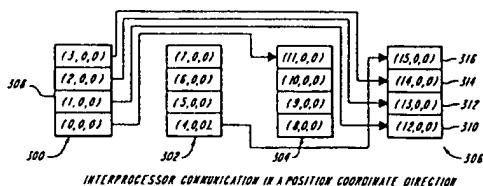


FIG. 11A

I REGISTER	X0	Y0	Z0	DESTINATION	SOURCE
PASS 1	0	1	3	VIRTUAL BASE	REMOTE BASE
PASS 2	Y	1	3		Y
PASS 3	ZY	1	3	ZY	ZY
PASS 4	ZY	0	2	ZY	0

FIG. 11B

要約

問題空間のノード数より少ない数のプロセッサーを有していても差し支えない多次元プロセッサー・アレイ (108)などの並列処理アレイにプロセッサー命令を生成するための、仮想処理アドレス・命令ジェネレーター (120)を含む並列処理システム (100)。この並列処理システムは、各々の物理プロセッサー・セルのメモリー (230)をいくつかの等しい部分に分割し、そしてこの分割された部分のそれぞれに問題空間の1つのノードが対応する。つぎに命令ジェネレーターは、与えられた問題空間のそれぞれのノードに対して1統きのプロセッサー・セル命令を生成し、そしてこの命令シーケンスのそれぞれについて、該当するアドレス変更がアドレス再配直回路 (166)によって与えられる。

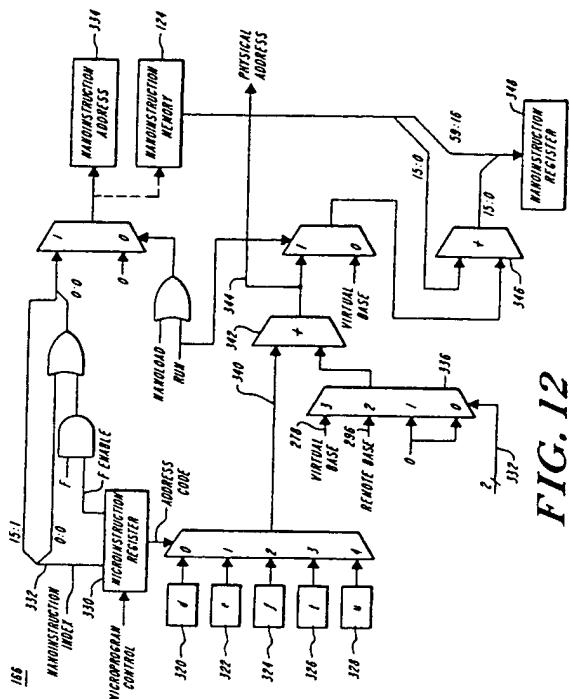


FIG. 12

国際調査報告		
International Application No. PCT/US91/03245		
I. CLASSIFICATION OF SUBJECT MATTER in several classification symbols, indicate and/or IPC(5) COOP 15/80 COOP 12/06 U.S. CL. 364/200 364/900 " FIELDS SEARCHED "		
Minimum Documentation Searched:		
Classification System: Classification Elements		
U.S.	364/200 MS FILE, 364/900 MS FILE	
Documentation Searched other than Minimum Documentation: is the extent that such Documents are included in the First Search:		
II. DOCUMENTS CONSIDERED TO BE RELEVANT *		
Category: Classification of Document, " not relevant, where copy/piece of the relevant passage" Response to Claim No. *		
Y	US, A. 4,827,403 (STEELE, JR.) 02 May 1989. Fig. 3; Col. 6, Line 31. Col. 2, Line 31-58.	1-8
Y	US, A. 4,773,038 (HILLIS) 20 September 1988. Fig. 1; Col. 1, Line 46-61; Col. 4, Line 41-53.	1-8
Y	US, A. 4,809,202 (WOLFRAM) 28 February 1989. Fig. 5; Col. 2, Line 4.	1-3,8
Y	US, A. 3,597,744 (CASE) 03 August 1971. Fig. 2B; Col. 13, Line 25-70.	1-3,8
Y	US, A. 4,325,120 (COLLEY) 13 April 1982. Fig. 2; Col. 17-20; Col. 24, Line 43-65.	1-8
* General description of cited documents: ** ** later document published after the international filing date or priority date and not in conflict with the application but which nevertheless contains an disclosure of the claimed invention ** earlier document but published on or after the international filing date ** document which may throw doubt on novelty claim(s) or which is used to establish the publication date of another document ** document referring to an oral documents, use, addition or reference ** document published prior to the international filing date but later than the priority date claimed ** document number of the same patent family		
IV. CERTIFICATION		
Date of the Above Composition of the International Search	Date of Receipt of International Search Report	
25 JULY 1991	01 OCT 1991	
International Searching Authority		
Director of Authorized Officer: <i>Myung-Hwan KIM</i>		
ISA/US		
Inventor: <i>KEN S. KIM</i>		
International D-VISITOR		

第1頁の続き

②発明者 リー、ミンーチイ

アメリカ合衆国 27511 ノースカロライナ州 キヤリイ、カレン
コート 126